

THIN-FILM TRANSISTOR STRUCTURE, METHOD FOR MANUFACTURING THE THIN-FILM TRANSISTOR STRUCTURE, AND DISPLAY DEVICE USING THE THIN-FILM TRANSISTOR STRUCTURE**Publication number:** WO02067335 (A1)**Publication date:** 2002-08-29**Inventor(s):** SUZUKI HIROSHI [JP]; SUEOKA KUNIAKI [JP]**Applicant(s):** IBM [US]; IBM JAPAN [JP]; SUZUKI HIROSHI [JP]; SUEOKA KUNIAKI [JP]**Classification:**

- international: H01L21/336; H01L29/49; H01L29/786; H01L21/02; H01L29/40; H01L29/66; (IPC1-7): H01L29/786; G02F1/1368; G09F9/30; H01L21/3205; H01L21/336

- European: H01L21/336D2B; H01L21/336D2C; H01L29/49B; H01L29/786A

Application number: WO2001JP11110 20011218**Priority number(s):** JP20010042081 20010219**Also published as:**

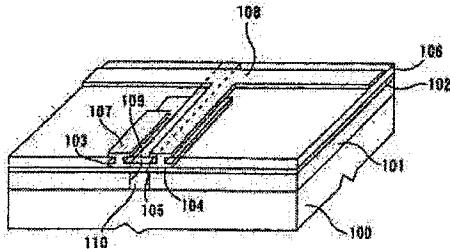
- EP1369928 (A1)
- EP1369928 (A4)
- US2004113161 (A1)
- US6952036 (B2)
- US2005250262 (A1)

[more >>](#)**Cited documents:**

- JP6177126 (A)
- JP64018758U (U)
- JP8023102 (A)
- JP11339672 (A)
- JP6051350 (A)

Abstract of WO 02067335 (A1)

A thin-film transistor structure enabling a large display screen for high-definition display without causing any signal delay, a method for manufacturing a thin-film transistor structure, and a display device having the thin-film transistor structure. The thin-film transistor structure is so constructed that on a substrate (100) an insulating polymer film (101) having at least a trench (109) formed therein is formed, and the trench (109) formed in the insulating polymer film (101) houses a gate wiring (110) formed of a plurality of conductive layers. Further provided are a method for manufacturing the thin-film transistor structure having the aforementioned construction, and a display device including a TFT array having the thin-film transistor of that construction.



Data supplied from the **esp@cenet** database — Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年8月29日 (29.08.2002)

PCT

(10) 国際公開番号
WO 02/067335 A1

(51) 国際特許分類⁷: H01L 29/786, 21/336, 21/3205, G02F 1/1368, G09F 9/30

(21) 国際出願番号: PCT/JP01/11110

(22) 国際出願日: 2001年12月18日 (18.12.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-42081 2001年2月19日 (19.02.2001) JP

(71) 出願人(米国、日本を除く全ての指定国について): インターナショナル・ビジネス・マシンズ・コーポレーション (INTERNATIONAL BUSINESS MACHINES CORPORATION) [US/US]; 10504 ニューヨーク州 アーモンク New York (US).

(71) 出願人(日本についてのみ): 日本アイ・ビー・エム 株式会社 (IBM JAPAN, LTD.) [JP/JP]; 〒106-8711 東京都港区六本木3丁目2番12号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 鈴木 浩

(52) (SUZUKI, Hiroshi) [JP/JP]; 〒242-8502 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内 Kanagawa (JP). 末岡邦昭 (SUEOKA, Kuniaki) [JP/JP]; 〒242-8502 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 東京基礎研究所内 Kanagawa (JP).

(74) 代理人: 坂口 博, 外 (SAKAGUCHI, Hiroshi et al.) ; 〒242-8502 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内 Kanagawa (JP).

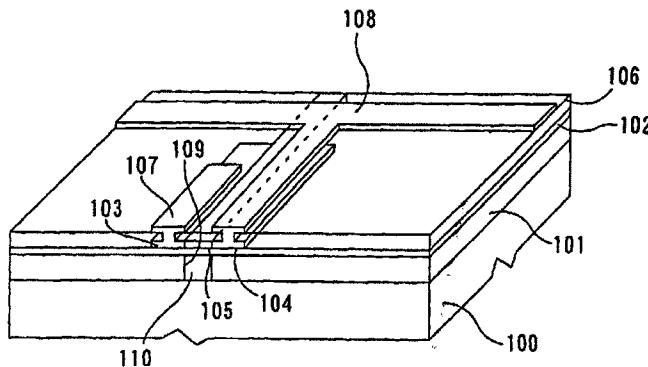
(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

[続葉有]

(54) Title: THIN-FILM TRANSISTOR STRUCTURE, METHOD FOR MANUFACTURING THE THIN-FILM TRANSISTOR STRUCTURE, AND DISPLAY DEVICE USING THE THIN-FILM TRANSISTOR STRUCTURE

(54) 発明の名称: 薄膜トランジスタ構造、該薄膜トランジスタ構造の製造方法、および該薄膜トランジスタ構造を使用したディスプレイ・デバイス



WO 02/067335 A1

(57) Abstract: A thin-film transistor structure enabling a large display screen for high-definition display without causing any signal delay, a method for manufacturing a thin-film transistor structure, and a display device having the thin-film transistor structure. The thin-film transistor structure is so constructed that on a substrate (100) an insulating polymer film (101) having at least a trench (109) formed therein is formed, and the trench (109) formed in the insulating polymer film (101) houses a gate wiring (110) formed of a plurality of conductive layers. Further provided are a method for manufacturing the thin-film transistor structure having the aforementioned construction, and a display device including a TFT array having the thin-film transistor of that construction.

[続葉有]



LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

信号遅延を生じさせずに高精細な表示を可能とし、かつ大型の表示画面を提供することを可能とする薄膜トランジスタ構造、薄膜トランジスタ構造の製造方法、および該薄膜トランジスタ構造を含むディスプレイ・デバイスを提供する。

本発明は、少なくともトレンチ109が形成された絶縁性ポリマー膜101とを基板100上に形成してなる薄膜トランジスタ構造であつて、絶縁性ポリマー膜101に形成されたトレンチ109が、複数の導電層により構成されるゲート配線110を収容する、薄膜トランジスタ構造を提供する。また本発明は上記構成を含む薄膜トランジスタ構造の製造方法、および上記構成の薄膜トランジスタから構成されたTFTアレイを含むディスプレイ・デバイスを提供する。

明細書

薄膜トランジスタ構造、該薄膜トランジスタ構造の製造方法、および
該薄膜トランジスタ構造を使用したディスプレイ・デバイス

5

技術分野

本発明は、薄膜トランジスタ構造、薄膜トランジスタ構造の製造方法、
および該薄膜トランジスタ構造を含むディスプレイ・デバイスに関し、
より詳細には、薄膜トランジスタに接続されるゲート配線を、浮遊容量
10 を低減させつつ大断面積化して、信号遅延を生じさせずに高精細な表示
を可能とし、かつ大型の表示画面を提供することを可能とする薄膜トラン
ジスタ構造、薄膜トランジスタ構造の製造方法、および該薄膜トラン
ジスタ構造を含むディスプレイ・デバイスに関するものである。

15

背景技術

これまで、薄膜トランジスタ（TFT）を使用した液晶ディスプレイ
は、コンピュータ、セルラ電話、腕時計、テレビジョン装置といった種
々の表示を行うための装置におけるディスプレイ・デバイスとして多用
されている。特に、近年ではコンピュータなどの能力、記憶容量の増大
20 に伴いTFTを使用したディスプレイ・デバイスに対して大画面化、高
精細化の要望が高まってきている状況にある。TFTを使用したディス
プレイ・デバイスの大画面化、高精細化を達成するためには、特にゲー
ト配線を低抵抗化して、信号の伝搬遅延を防止する必要がある。このた
め、従来からゲート線の材料の低抵抗化が検討されており、Mo、Mo
25 W、MoTaといった比較的抵抗率の高い材料からAl、Cuといった
抵抗率の低い材料へと低抵抗率の材料が採用されつつある。

しかしながら、上述した Cu といった抵抗率のきわめて低い材料を使用し、さらに薄膜トランジスタのスイッチング速度を無視した条件で対角線で測定した 30 インチのディスプレイ・デバイスについて考察すれば、200 PPI 以上の高精細化を達成することは、現在のゲート配線の抵抗では困難である。この理由としては、抵抗率の低い材料を使用したとしても、材料の抵抗率と、断面積とに依存して定まる事による。

すなわち、TFT を使用したディスプレイ・デバイスにおいて大画面化、および高精細化を達成するためには、低抵抗率材料の使用に加え、ゲート配線の断面積を大きくする必要がある。しかしながら、ゲート配線の断面積を増加させるべく、ゲート電極の平面的な広がりを増大させると、必然的に画素電極の開口率が減少することに加え、ゲート配線と、それ以外の配線または電極との間にキャパシタが形成され、浮遊容量が発生することとなり、かえって伝達遅延を生じさせることにもなる。さらには、ゲート配線の厚さを単に増加させることも可能ではあるものの、ゲート配線の厚さを単に増大させたのみでは、ゲート配線と交差する別の信号配線といった他の配線の断線を生じさせてしまうといった別の不都合を生じさせることになる。

さらに、ゲート配線の製造方法についてみれば、ゲート配線は、従来ではスパッタリングなどの気相成長法により形成されている。しかしながら、従来のようなスパッタリング法などの気相成長法は、成膜速度が遅く、ゲート配線の厚さを大幅に増大させることも可能であるものの、製品歩留まり、コスト高といった製造上の不都合を生じさせることもあり、ゲート配線をより効率の良い方法により製造することが必要とされる。

これまで、基板上に形成される配線を微細化するため、種々の試みがなされており、例えば特開平 10-268522 号公報では、基板上に

ポジ型フォトレジストを使用してパターニングを行い、該基板に対して無電解メッキを施すことにより露出した基板上に導電パターンを形成する導電パターンの形成方法が開示されている。

また、特開平11-339672号公報においては、基板上にフォトレジストを塗布し、パターニングを行い、電解メッキ法、無電解メッキ法、または無電解メッキ法と電解メッキ法とにより電極を形成した後、フォトレジストを剥離する画像表示装置の製造方法が開示されている。

さらに、特開平11-231335号には、基板上に堆積された二酸化珪素被膜をパターニングし、露出した基板に無電解メッキ法により電極を形成させる埋設電極付き基板の製造方法が開示されている。

しかしながら、上述したいずれの方法も、TFT構造を含むディスプレイ・デバイスの伝搬遅延を最小とさせつつ、大画面化、高精細化、および製造歩留まりの向上、製造コストの削減を達成する点から充分なものとはいえなかった。

本発明は上述の問題点に鑑みてなされたものであり、本発明は、TFTを使用したディスプレイにおいて、ゲート配線の伝搬遅延の問題を解決しつつ、大画面化、高精細化を、製造歩留まりを向上させつつ、低コストに達成することを目的とする。

20 発明の開示

すなわち、本発明によれば、ソース電極と、ドレイン電極と、ゲート電極と、活性層と、該ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタ構造であって、前記絶縁性ポリマー膜に形成された前記トレンチが、導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造が提供される。本発明においては、前記

ゲート配線は、 $2 \mu m$ ～ $15 \mu m$ の厚さとされ、かつ前記ゲート配線の縦横比は、0.3～3であることが好ましい。さらに、本発明においては、前記絶縁性ポリマー膜は、光学的特性を調節するための処理が施されていてもよい。

5 さらに本発明においては、前記絶縁性ポリマー膜は、複数の異なるポリマーから構成することができる。また、本発明においては、前記絶縁性ポリマー膜は、シリコーン含有重合体を含んでいてもよい。本発明においては、前記ゲート配線は、無電解メッキにより堆積されたシード層を形成する導電層と、電界メッキにより堆積された導電層とから構成することができる。本発明においては、前記薄膜トランジスタは、ボトムゲート型薄膜トランジスタまたはトップゲート型薄膜トランジスタとすることができる。本発明においては、前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含んでいてもよい。

10

本発明によれば、ソース電極と、ドレイン電極と、ゲート電極と、活性層と、前記ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタを形成する方法において、該方法は、ソース電極と、ドレイン電極と、ゲート電極と、活性層とを形成する段階と、前記基板上に絶縁性ポリマー膜を形成する段階と、前記絶縁性ポリマー膜をパターニングしてトレンチを形成する段階と、前記トレンチに導電層を堆積させ、前記絶縁性ポリマー膜と自己整合的に前記ゲート配線を形成する段階とを含む、薄膜トランジスタ構造の製造方法が提供される。

15

本発明によれば、前記ゲート配線を、無電解メッキによりシード層を形成する導電層を堆積させる段階と、電解メッキにより前記シード層とは異なる導電層を堆積させる段階とにより形成することができる。

20

本発明においては、前記ゲート配線を形成する段階は、前記電解メッ

-5-

キの電流量および時間を制御して行う段階を含んでいてもよい。本発明においては、前記ゲート配線を形成する段階は、前記シード層を形成する導電層とは異なる導電層を電解メッキにより形成する段階と、前記電解メッキにより形成された導電層を前記絶縁性ポリマーのレベルとする段階とを含んでいてもよい。本発明においては、前記絶縁性ポリマー膜に対して、光学的特性を調節するための処理を施す段階を含んでいてもよい。本発明においては、前記絶縁性ポリマー膜は、シリコーン含有重合体を含んでいてもよい。本発明においては、前記絶縁性ポリマー膜を、感光性樹脂または感光性樹脂組成物から形成することもできる。

10 本発明によれば、ソース電極と、ドレン電極と、ゲート電極と、活性層と、前記ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成し、前記絶縁性ポリマー膜に形成された前記トレンチが導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造を含むディスプレイ・デバイスが提供される。本発明においては、前記ゲート配線は、2 μm ～15 μm の厚さとされ、かつ前記ゲート電極の縦横比は、0.3～3とすることができます。本発明によれば、前記絶縁性ポリマー膜は、光学的特性を調節するための処理を施すことができる。本発明によれば、前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含んでいてもよい。本発明によれば、前記絶縁性ポリマー膜は、シリコーン含有重合体を含んでいてもよい。

15

20

25

図面の簡単な説明

図1は、本発明の薄膜トランジスタ構成を示した図である。

図2は、本発明の作用を説明した図である。

図3は、本発明の薄膜トランジスタ構成の製造方法を示した図である。

図4は、本発明の薄膜トランジスタ構成の製造方法の図3に続く工程を示した図である。

図5は、本発明の別の実施の形態の薄膜トランジスタ構成の製造方法5を示した図である。

図6は、本発明の別の実施の形態の薄膜トランジスタ構成の製造方法の図5に続く工程を示した図である。

図7は、本発明の薄膜トランジスタ構成の製造方法の別の実施の形態を示した図である。

10 図8は、本発明の薄膜トランジスタ構成のさらに別の実施の形態を示した図である。

図9は、本発明の薄膜トランジスタ構成のさらに別の実施の形態を示した図である。

15 図10は、本発明の薄膜トランジスタ構成により画面サイズと、解像度とを示した図である。

図11は、本発明の薄膜トランジスタ構造を使用したディスプレイ・デバイスに使用されるTFTアレイの斜視図である。

図12は、本発明の別の実施の形態の薄膜トランジスタ構造を使用したディスプレイ・デバイスに使用されるTFTアレイの斜視図である。

20 発明を実施するための最良の形態

図1は、本発明の薄膜トランジスタ構成を示した図である。図1(a)には、ボトムゲート型の薄膜トランジスタ構成を示し、図1(b)には、トップゲート型の薄膜トランジスタ構成を示す。図1(a)に示した薄膜トランジスタ構成は、絶縁性のガラス、セラミックスといった基板10上に、絶縁性ポリマー膜11が設けられており、この絶縁性ポリマー

膜11に形成されたトレーナー12に、複数の導電層13a、13bから形成されたゲート配線が埋設されている。本発明において使用することができる絶縁性ポリマー膜11は、絶縁性のポリマー材料またはポリマー組成物から構成することができる。

5 本発明において使用することができるポリマー組成物としては、具体的には例えば、ポリアクリレート、ポリスチレン、ポリ(アクリレート-ステレン)、ポリエステル、エポキシ樹脂、ポリカーボネート樹脂、ポリアミド樹脂などの熱可塑性または熱硬化性樹脂を挙げができる。また、本発明において絶縁性ポリマー膜11として使用することができるポリマー材料としては、さらにアクリル系、アクリル-ステレン系、エポキシ系のポリマーに対して感光性成分を混合、または化学的に結合させた感光性樹脂組成物または感光性樹脂、いわゆるフォトレジストとして使用することができるポリマー、またはポリマー組成物から形成することができる。

10 15 上述したような感光性樹脂組成物としては、例えばアクリル系樹脂、フェノール・ノボラック樹脂に対してキノンジアゾ誘導体を混合したポジ型のフォトレジスト、アクリル系樹脂、アクリル-ステレン共重合体またはアクリル-ヒドロキシスチレン共重合体、アクリル-アルコキシスチレン共重合体に対して光酸発生剤を混合した、いわゆる化学增幅系のポジ型またはネガ型のフォトレジスト、アクリル樹脂とエチレン性の不飽和結合を有するアクリレート(メタクリレート)単量体とを混合し、ジアゾ化合物により光重合を可能としたネガ型のフォトレジスト、エポキシ樹脂に対して、カチオン重合開始剤を混合したエポキシ系のフォトレジスト等を挙げができる。

20 25 しかしながら、本発明においては上述したポリマーまたはフォトレジストに限定されるものではなく、ポリマー材料に対して適切なパターン

ング・プロセスを使用してトレンチ12を形成することができるポリマーまたはポリマー組成物であれば、いかなるものでも用いることができる。

図1(a)に示した絶縁性ポリマー膜11の厚さは、絶縁性と言った電気的な特性から、 $1\text{ }\mu\text{m}\sim15\text{ }\mu\text{m}$ の範囲とすることができる。さらに、本発明においてゲート配線をトレンチ12内に形成することを考慮すれば、トレンチ12の形成性といった点から $2\text{ }\mu\text{m}\sim10\text{ }\mu\text{m}$ の範囲とされることが好ましく、さらには、本発明において特に高精細、大画面化を行うためには、 $2\text{ }\mu\text{m}\sim5\text{ }\mu\text{m}$ の範囲とされることが好ましい。

図1(a)に示されるように、このゲート配線は、導電層13aと、13bとが積層して形成されていて、導電層13aは、無電解メッキにより形成されるNiといった金属から形成されるシード層とされている。また、導電層13bは、電解メッキ法により形成され、ゲート配線を低抵抗とするための材料を含んで形成されている。

本発明において、伝搬遅延を生じさせることなく、高精細、大画面化を達成するためには、導電層13bを、Al、Cu、Agといった低抵抗率の金属から形成することが好ましい。さらに、本発明において導電層13bの安定性といった観点からは、導電層13bを、AlまたはCuから形成することが好ましい。

図1(a)に示すゲート配線の厚さは、本発明においてはゲート配線が絶縁性ポリマー膜11に埋設されて形成されるので、絶縁性ポリマー膜11のレベルと同一レベルとされることが望ましく、必要に応じて $1\text{ }\mu\text{m}\sim15\text{ }\mu\text{m}$ の範囲とすることができる。さらに、本発明においては、ゲート配線の厚さは、高精細化および大画面化といった点、およびフォトリソグラフィーの再現性・安定性といった絶縁性ポリマー膜11の製造といった観点から、 $1\text{ }\mu\text{m}\sim10\text{ }\mu\text{m}$ の範囲とされることが好ましく、

さらには、 $2 \mu m \sim 5 \mu m$ とされることが、高精細化、大画面化と絶縁性ポリマー膜11を含めた製造プロセスの容易性をバランスさせる上で好ましい。

また、本発明においては、絶縁性ポリマー膜11と、ゲート配線の上端は、ゲート配線に隣接する薄膜トランジスタに対して電気的な悪影響を与えないように、自己整合的に形成されていることが好ましい。

絶縁性ポリマー膜11およびゲート配線の上側には、絶縁膜14が堆積され、この絶縁膜14上に、ソース電極15、ドレイン電極16、 $P + a - Si$ 、 $N + a - Si$ といった材料で構成される活性層17といった層が堆積され、パターニングされ、さらにMo、MoW、MoTaといった金属または合金によりそれぞれの電極が形成され、薄膜トランジスタ要素とされている。図1においては、これらの電極の詳細な構成については省略して示しているが、これまで知られたいかなる電極構成でも、本発明においては使用することができる。

図1(a)においては、ゲート配線と、薄膜トランジスタ要素であるゲート電極とは、隣接して形成されている。しかしながら、本発明においては、ゲート配線と、薄膜トランジスタ要素であるゲート電極とを位置的にずらして形成することも可能であり、この場合には、ゲート電極と、ゲート配線とは、絶縁膜14上において位置的に水平方向に位置的にずらして形成することができる。さらに、本発明においては、ゲート電極のサイズは、薄膜トランジスタ構造に必要とされるいかなるサイズともすることができる。

図1(a)において、ソース電極15、ドレイン電極16、半導体層17といった薄膜トランジスタ要素の上には、 SiO_x 、 $SiNy$ 、 SiO_xNy といった絶縁性材料から構成されるパッシベーション層18が形成されていて、薄膜トランジスタ要素の動作を保証する構成とされ

ている。

パッジベーション層18には、コンタクトホール20a、20bが形成されていて、これらのコンタクトホール20a、20bを通してコンタクト用電極21a、および信号配線21bがそれぞれソース電極15
5 およびドレイン電極16に接続されている。

図1 (b) は、本発明の薄膜トランジスタ構成をトップゲート型の薄膜トランジスタに適用した実施の形態を示す。図1 (b) に示した薄膜トランジスタは、絶縁性の基板10上に、絶縁層22が形成され、絶縁層22上にソース電極23、ドレイン電極24、活性層25が形成されて、薄膜トランジスタ要素を構成している。ソース電極23、ドレイン電極24、活性層25といった薄膜トランジスタ要素の上側には、
10 SiO_x、SiNy、SiO_xNyといった絶縁性材料から構成される絶縁膜26が、CVDといった適切な方法により堆積されている。また、本発明においては、絶縁層22は、特性、コストなどの点から用いても、
15 用いなくともよい。

絶縁膜26上には、ポリマー材料を含んで構成される絶縁性ポリマー膜27が形成されていて、絶縁性ポリマー膜27に形成されたトレンチ28にゲート配線29が埋設されて形成されている。図1 (a) で説明したように、図1 (b) に示した実施の形態では、ゲート電極は、ゲート配線29に隣接して形成されているものとして説明するが、本発明においては、特にゲート電極とゲート配線29とを隣接して形成する必要はなく、必要に応じて水平方向に離間させて形成することもできる。
20

図1 (b) に示したゲート配線についても、無電解メッキ法により形成されるシード層と、電解メッキ法により形成される導電層といった複数の層から構成されている、なお、本発明においては、ゲート配線を2層構成とする必要はなく、必要に応じて2層以上の構成として形成する
25

こともできる。

絶縁性ポリマー膜27上には、パッシベーション膜31が堆積されており、このパッシベーション膜31と、絶縁性ポリマー膜27と、絶縁膜26とを通してコンタクト用電極32aおよび信号配線32bがそれぞれソース電極23とドレイン電極24とに接続されている。図1(b)において説明した各膜については、図1(a)で説明した各層と同様の材料、構成を用いることができる。

図2は、本発明の薄膜トランジスタ構成における作用を詳細に説明した図である。図2(a)は、従来の薄膜トランジスタ構成のゲート配線を示した図であり、図2(b)が、本発明の薄膜トランジスタ構成のゲート配線を示した図である。図2(a)に示されるように、従来のゲート配線35の構成では、ゲート配線35の断面積を増加させようすると、スパッタリングといった成膜方法の成膜速度等の点から、ゲート配線35の平面的な広がりを増大せざるを得ない。また、ゲート配線35を厚く形成することによってゲート電極35の断面積を増加させたとしても、ゲート電極35が厚くなつたことにより形成される段差のため、さらに上部に形成される配線などの断線を生じさせることになる。

図2(b)に示した、本発明におけるゲート配線の構成では、ゲート配線35を、絶縁性ポリマー膜36に形成されたトレンチ内に、絶縁膜と自己整合的に高い縦横比で構成するものである。本発明における縦横比(アスペクト比)は、以下の式で示されるように、ゲート配線35の断面における高さ(h)を幅(w)で除したものとして定義される。

$$\text{縦横比(アスペクト比)} = A_s = h/w \quad (1)$$

すなわち、図2においてゲート配線35の断面積が一定である場合($S_1 = S_2$)を考えてみると、ゲート線35と、ゲート配線35上に構成される各層37との間に形成される浮遊容量は、ゲート配線35の水

平方向の面積に応じて増大する。このため、単に断面積を増加させただけでも、抵抗を低下させることが可能となるものの、浮遊容量が増加するため充分に信号遅延に対応できることとなる。しかしながら、本発明においては、縦横比を、所定の範囲としつつ、ゲート電極35の厚膜化を行うため、同一の断面積であれば、図2に示すように浮遊容量は、
5 L_b / L_a の比で低減させることができる。したがって、縦横比（アスペクト比 A_s ）を大きくすることにより信号遅延をよりいっそう減少させることができる。

図2（b）に示すように本発明のゲート電極35の構成は、ゲート電極35の大断面積化を、ゲート電極35の厚さを、充分な特性を保つつつ増加させることにより、信号遅延といった問題を生じさせずに大画面化、高精細化といった所望する特性を得ることを可能とする。本発明におけるゲート電極35の縦横比（ A_s ）は、従来よりも大きなゲート電極断面積を与えつつ、高精細、大画面化といった本発明の目的を充分に達成するためには、ゲート配線35の厚さが $2 \mu m \sim 15 \mu m$ の範囲で
10 $0.3 \leq A_s \leq 3$ の範囲とすることができます、さらに、高精細化、大画面化といった目的のためゲート電極35の低抵抗化を達成するためには、
15 ゲート配線35の厚さが $2 \mu m \sim 15 \mu m$ の範囲において特に $0.4 \leq A_s \leq 3$ の範囲とすることが好ましい。

図3は、本発明の薄膜トランジスタ構造を形成するための製造方法を示した工程図である。本発明の薄膜トランジスタ構造の製造方法においては、図3（a）に示すように、必要に応じて表面処理などを行ったガラス、セラミックスといった絶縁性の基板10を用意する。ついで、図3（b）に示すように、この基板10をまず、シランカップリング剤、
20 具体的にはアミノシランカップリング剤により処理して P_d を含む無電解メッキを行うための触媒層41を形成する。触媒層41の形成は、例
25

えば市販のPdイオンまたはPdコロイドを含む触媒水溶液に基板10を浸漬し、その後必要に応じてPdイオンを還元するなどして金属を析出させることにより行うことができる。

ついで、図3(c)に示すように、基板10に対してポリマーを含んで構成される絶縁性ポリマー膜42を適切な塗布方法、例えば、スピニングコーティングなどを用いて形成する。この際に使用できるポリマーとしては、図1において説明した熱可塑性樹脂または熱硬化性樹脂、またはフォトレジストを使用することができる。特に、上述したポリマー材料として感光性樹脂または感光性樹脂組成物を使用することにより、露光・現像工程を増加させることなく、埋設されたゲート配線を形成することが可能となる。

ついで、図3(d)に示されるように、適切なフォトマスクを使用して、フォトレジストから構成される絶縁性ポリマー膜42に対して露光・現像を行い、ゲート配線を形成するためのトレンチ43を形成する。このトレンチ43の下部面には、Pd触媒が露出しておりシード層を無電解メッキ法により選択的に形成させることができる。

また、本発明において、絶縁性ポリマー膜42を、感光性樹脂または感光性樹脂組成物ではなく、熱可塑性樹脂または熱硬化性樹脂から構成する場合には、露光・現像工程ではなく、スクリーン印刷といった方法を使用してトレンチ43を形成することもできる。スクリーン印刷を使用することにより、使用する絶縁性ポリマー膜42が感光性樹脂または感光性樹脂組成物であるか、熱可塑性または熱硬化性樹脂であるかを問わず、プロセス工程を低減させることも可能である。

図3(e)には、本発明においてトレンチ43に無電解メッキでシード層44aを形成する工程を示す。導電層として機能するシード層44aを形成する導電材料は、これまでに知られたいかなる金属でも使用す

5 ることができるが、本発明においては特に、無電解メッキ法によりニッケル (N i) を使用してシード層 4 4 a を形成することが好ましい。本発明においてシード層 4 4 a を N i により形成する場合には、比較的厚く形成される後述する C u といった金属の基板 1 0 に対する付着性を向上させることができ、絶縁性ポリマー膜 4 2 の厚膜化とともに発生する膜内応力の増加による、ゲート配線の基板 1 0 の表面からの剥離、ガラス基板の反りにより発生する不都合を改善することが可能となる。

10 本発明において上述したシード層 4 4 a は、例えば、次亜リン酸を使用する硫酸ニッケル水溶液による無電解メッキ法により形成することができる。このシード層 4 4 a を形成させる水溶液には、硫酸ニッケル以外にも、これまで知られたいかなる添加剤が添加されていても良い。図 3 (e) に示すシード層 4 4 a の厚さは、本発明においては特に制限されるものではなく、シード層 4 4 a を形成することによりゲート配線の剥離や、基板の反りといった不都合を生じさせない限りいかなる厚さとすることもできる。また、シード層 4 4 a を形成させるための無電解メッキ手法としては、これまで知られたいかなる手法でも用いることができる。

20 ついで、本発明の薄膜トランジスタ構造の製造方法においては、図 3 (f) に示すように A l、C u、A g といった低抵抗率の金属から形成される導電層 4 4 b を、電解メッキ法により堆積させ、ゲート配線を形成させる。電解メッキ法を適用して、導電層 4 4 b を、銅 (C u) といった金属から形成する場合には、硫酸銅 (C u S O₄) 水溶液に図 3 (e) に示した構造が形成された基板 1 0 を浸漬して電流を通じ、電流量と、時間との積から、ファラデーの法則にしたがって析出した C u の析出量を制御し、ゲート配線を絶縁性ポリマー膜 4 2 と自己整合的に形成することが可能となる。

上述したようにしてゲート配線45を自己整合的に形成することができる理由としては、図8(e)に示した工程においてシード層44aを形成する際に、Pd触媒が付着した部分ばかりではなく、本発明においては絶縁性ポリマー膜42にトレンチ43を形成するため、このトレンチ43の壁面にもある程度Pd触媒が付着し、Cuの堆積が厚さ方向ばかりではなく、横方向に対しても良好に行うことができるためと推定している。

また、本発明においては、特に電流量および時間といった電解メッキ条件を厳密にコントロールして自己整合的にゲート配線を形成させるばかりではなく、ゲート配線をトレンチ43から突出するような高さにまで堆積させ、研磨、エッチング、といった表面処理を行うことにより、ゲート配線の自己整合性を改善することが可能である。

その後、本発明においてはN+a-SiまたはP+a-Si、多結晶Siといった材料をこれまで知られた方法を使用してゲート電極を堆積させ、ゲート配線に隣接したゲート電極が形成される。上述したようにゲート電極と、ゲート配線とは、薄膜トランジスタ構造の必要に応じて、互いに隣接して形成することもできるし、離間して形成することもできる。

本発明においては、シード層44aとして特にN_iを用い、導電層44bとしてCuを使用することにより、厚膜配線を含む薄膜トランジスタにおける低抵抗化を、大画面化、高精細化の要求を満たしつつ、膜内応力により生じる不都合を発生させることなく達成することを可能とする。

また、本発明においては、絶縁性ポリマー膜42を使用し、さらにシード層44aによりゲート配線と基板10との一体性を向上させているため、絶縁膜としてSiO₂を使用した場合に比較して膜内応力／膨張率

の差を吸収でき、より信頼性の高い薄膜トランジスタ構造を提供することが可能となる。さらには、ゲート配線と、基板10との一体性が向上する結果、導電処理したフレキシブルな基板上に薄膜トランジスタ構造を形成することも可能であり、フレキシビリティが向上したディスプレ

5 イ・デバイスを提供することも可能となる。

図4は、本発明の薄膜トランジスタ構成の製造方法において、薄膜トランジスタ要素を形成するための、図3に示した工程に続く工程を示した図である。図3の各工程の後、図4(a)に示すように、ゲート配線およびゲート電極が形成された絶縁性ポリマー膜42上に、SiO_x、SiNy、SiO_xNyといった絶縁層から構成される絶縁膜47が、CVDといった適切な方法により堆積される。ついで、図4(b)に示すようにゲート絶縁膜47上に、ソース電極48、ドレイン電極49、活性層50が、堆積・パターニング・イオン注入などのこれまで知られたいかなる方法により堆積され、さらにこれらの電極は、堆積・パターニングされたMo、MoTa、MoW、Al、といった適切な金属または合金を含んで構成されている。

その後、図4(c)に示すように、SiO_x、SiNx、SiO_xNyといった絶縁層からなるパッシベーション層51を堆積し、適切なパターニング・プロセスを使用してコンタクト・ホールを形成させ、コンタクト用電極52aおよび信号配線52bを形成させて、図4(d)に示した本発明の薄膜トランジスタ構造が形成される。図4に示すように、本発明においてゲート配線を埋設構造として形成する。このため、本発明によれば、薄膜トランジスタ構成を形成する際に不要な段差を生じさせることなく、薄膜トランジスタの信頼性を向上させることができる。

25

図5は、本発明の薄膜トランジスタ構造をトップゲート型薄膜トラン

ジスタに適用する場合の、薄膜トランジスタ構造の製造方法の実施の形態を示した工程図である。図5に示すトップゲート型薄膜トランジスタ構造を本発明にしたがって形成する場合には、図5 (a) に示すように、まず、適切な表面処理を行った基板10を用い、図5 (b) に示すように、
5 SiO_x、SiNy、SiO_xNyといった材料から形成される絶縁層61を、CVDといった適切な方法により堆積させる。

ついで、図5 (c) では、図4 (b) において説明したと同様のプロセスを使用して、ソース電極62、ドレイン電極63、活性層64を堆積およびパターニングする。

10 ついで、図5 (d) に示されるように絶縁膜65をCVDといった方法により堆積させる。絶縁膜65が堆積された後、Pd触媒66を図3において説明したと同様にして絶縁膜65表面に付着させ、その後絶縁膜65上に本発明において使用する絶縁性ポリマー膜67を形成する。上述した各工程は、図3において説明したと同様の方法を使用して行う
15 ことができる。

図6には、図5 (d) において堆積された絶縁性ポリマー膜67にトレンチ68を形成して、無電解メッキ法によるシード層69aの形成 (図6 (b)) 、導電層69bの電解メッキ法による堆積の後 (図6 (c)) 、パッシベーション層70の堆積、コンタクト用電極71aおよび信号配線71bの形成を上述したようにして行い (図6 (d)) 、トップゲート型薄膜トランジスタを形成する。

図7は、本発明の薄膜トランジスタ構造の製造方法のさらに別の実施の形態を示した図である。図7に示した製造方法においては、図7 (a) に示すように必要に応じて表面処理された基板10を用い、この基板10上に絶縁性ポリマー膜80を形成する (図7 (b)) 。図7 (c) に示した工程では、図3において詳細に説明したと同様な方法を用いて、
25

トレンチ 8 1 を形成する。トレンチ 8 1 が形成された後、シリコーン粒子を分散させた分散液により絶縁性ポリマー膜 8 0 および基板 1 0 とを処理して撥水層 8 2 を転写または形成する。

その後、図 7 (d) に示すように、Pd触媒水溶液に基板 1 0 と、絶縁性ポリマー膜 8 0 とが形成された基板 1 0 を浸漬して、Pd触媒による処理が行われる。撥水層 8 2 が付着または含浸しない部分には、Pd または Pdコロイドが付着し、撥水層 8 2 が付着または含浸される部分には、Pdイオンまたは Pdコロイド 8 3 が付着しない。このため、図 7 (e) に示すように、無電解メッキ法によりシード層 8 4 a を良好に形成することが可能となる。この後、電解メッキ法を使用し、Cu といった低抵抗率の導電層を堆積させて、ゲート配線を形成する。

本発明の薄膜トランジスタ構造の製造方法のさらに別の実施の形態では、撥水層 8 2 の転写を、図 7 (c) のトレンチ 8 1 の形成工程の前に行うこともできる。さらに、本発明においては、絶縁性ポリマー膜 8 0 を形成する際にシリコーン・セグメントを含むシリコーン含有重合体を混合、またはポリマー自体がシリコーン・セグメントを含んで形成されるシリコーン含有重合体を、ポリマーとして使用することもできる。この場合にも、シリコーン・セグメントは、絶縁性ポリマー膜 8 0 の表面に露出する。

上述したシリコーン含有重合体を使用しても撥水層 8 2 を別工程を使用して転写させた場合のような撥水効果を得ることができ、かつ Pd触媒を選択的に付着させることができ。上述したシリコーン・セグメントを含むポリマー、またはポリマー組成物は、さらには感光性樹脂または感光性樹脂組成物として構成することもできる。

さらに本発明の薄膜トランジスタ構造の実施の形態では、図 3 および図 5 で詳細に説明した絶縁性ポリマー膜を形成した後、さらに絶縁性ポ

リマー膜の光学的特性を調節するために、各種の処理を施すことができる。

図8および図9は、ボトムゲート型薄膜トランジスタ構成に対して、上述した絶縁性ポリマー膜に対する処理を施した薄膜トランジスタの実施の形態を示した図である。図8(a)に示した薄膜トランジスタ構造の実施の形態においては、絶縁性ポリマー膜90の表面は、例えば適切なフォトリソグラフィー・プロセスを使用して粗面化処理が行われており、この粗面化処理された面に反射膜90aが形成されていて、視野角を広げる構成とされている。反射膜90aとしては、種々の材料を使用した例えばCVDプロセスにより形成される、これまで知られたいかなる材料・構成の反射膜でも使用可能であり、例えば1層構成、または誘電体からなる多層膜構成として形成することができる。

さらに、図8(a)に示した実施の形態においては、粗面化処理面の上側に平坦化させるための絶縁膜91が形成されており、薄膜トランジスタ要素に対して悪影響を与えない構成とされている。平坦化させるための絶縁膜91としては、絶縁性ポリマー膜90を構成する材料と同一の材料を使用することもできるし、互いに屈折率の異なる材料を積層して散乱効果を生じさせるように構成することもできる。

図8(b)には、本発明の薄膜トランジスタ構造のさらに別の実施の形態を示す。図8(b)に示した薄膜トランジスタの実施の形態においては、絶縁性ポリマー膜90には、プリズムを形成させるべくスロープ90bが形成されている。絶縁性ポリマー膜90の上側には、さらに異なった屈折率のポリマー層92が積層されていて、プリズムが構成されている。図8(b)に示した構成の薄膜トランジスタ構造を使用しても視野角の向上および高輝度化を達成することが可能となる。

図9に示す薄膜トランジスタ構成においては、絶縁性ポリマー膜90

の表面にフレネル・レンズ 9 0 c が形成されており、さらに屈折率の異なる別の絶縁性材料 9 3 により平坦化されていて、光線の指向性が制御されている。絶縁性材料 9 3 としては、絶縁性材料 9 1、9 2 と同様に、
5 ポリマー材料を使用することもできるが、必要に応じてポリマー以外の誘電体から形成することができる。図 8 および図 9 に示した薄膜トランジスタ構造では、いずれの場合にも絶縁性ポリマー膜 9 0 とゲート配線 9 4 とは、隣接部において自己整合的に形成されていて、上側に形成される薄膜トランジスタ要素に対して悪影響を与えることがないようにされている。

10 図 10 は、図 2 に示した本発明の薄膜トランジスタの実施の形態において、画面サイズ（インチ）と、解像度（P P I）とをプロットした図である。図 10 (a)、(b)、(c) で示される各ラインが、従来の方法により形成されたゲート配線の場合に得られるプロットであり、図 10 (d) に示されるプロットが本発明による、埋設されたゲート配線 15 に対して得られるプロットである。図 10 に示されるように、解像度を高めようとして、ゲート配線を細くして行けば行くほど、いずれの場合にも抵抗の増加にともなう信号遅延のため、画面サイズが低下することが示される。

従来のゲート配線の構成を採用する場合には、図 10 に示すように、
20 4 0 0 P P I の解像力を達成しようとすると最も抵抗率の低い C u を用いたゲート配線でも、画面サイズは、約 2 0 インチにまで低下することになる。このため、高精細化と、大画面化とはトレード・オフの関係となることが示されている。

しかしながら、本発明による埋設ゲート配線の構成を採用することにより形成された薄膜トランジスタ構成では、図 10 (d) に示すようにゲート配線の断面積を向上できることに加え、浮遊容量の問題も生じさ

せることがないので、400 PPI といった高精細な解像度のまま、約25インチの画面サイズを提供することが可能となる。この傾向は、より低い解像度の場合を比較するとより明瞭であり、本発明のゲート配線を使用した薄膜トランジスタ構成を使用するディスプレイ・デバイスは、従来に比較して、より大画面のディスプレイ・デバイスを提供することが可能となることが示される。

図11は、本発明の薄膜トランジスタ構成を使用して TFTアレイとしたディスプレイ・デバイスを示した斜視図である。図11に示した TFTアレイは、ボトムゲート型 TFTとして構成されており、絶縁性の基板100上に形成された絶縁性ポリマー膜101と、絶縁性ポリマー膜101の上に堆積された絶縁膜102を含んでいるのが示されている。

さらには、図11に示した薄膜トランジスタ構成では、絶縁膜102の上には、ソース電極103と、ドレイン電極104と、活性層105とがパターニングされていて、これらの薄膜トランジスタ要素を、パッシベーション膜106が被覆して、薄膜トランジスタ要素を保護している。さらに図11に示される薄膜トランジスタ構造では、パッシベーション膜106を通して形成されたコンタクト・ホールを介して、それぞれコンタクト用電極107と、信号配線108とがソース電極103とドレイン電極104とにそれぞれ接続されていて、これらがアレイとして配置されている。

さらに図11に示すように、ゲート配線110は、本発明に従い絶縁性ポリマー膜101に形成されたトレンチ109の内部に複数の導電層が堆積された構成で埋設されている。図11に示されるように本発明の薄膜トランジスタ構成では、従来にましてゲート配線110の断面積を大きくすることが可能である。さらに、本発明においては、大断面積の

ゲート配線 110 は、絶縁性ポリマー膜 101 内に埋設されて、無電解メッキおよび電解メッキにより堅固に一体化されているので、膜内の残留応力による剥離、曲がり、ひび割れといった不都合を生じさせることなく、薄膜トランジスタの信頼性を保証しつつ、大画面化、高精細化を 5 達成することが可能となる。

図 12 は、本発明の薄膜トランジスタ構成を、トップゲート型薄膜トランジスタに適用した場合の TFT アレイを示した図である。図 11 において説明したと同様に、ゲート配線 110 は、絶縁性ポリマー膜 101 に形成されたトレンチに埋設されて形成されており、上部に形成される配線の断線といった不都合を生じさせずに、ゲート電極の断面積を増 10 大することが可能とされている。

本発明の薄膜トランジスタ構成は、上述したように薄膜トランジスタをアレイとして配置する、いわゆるアクティブ・マトリックス駆動方式を使用するいかなるディスプレイ・デバイスにでも使用することができ、 15 このようなディスプレイ・デバイスとしては、具体的には例えば液晶ディスプレイ・デバイス、有機または無機の活性材料を使用するエレクトロ・ルミネッセンス・デバイスなどを挙げることができる。

これまで、本発明を図面に示した実施の形態をもって説明してきたが、本発明は、図面に示した実施の形態に限定されるものではなく、細部の構成、材料、寸法といった種々の構成要件においてこれまで知られたい 20 かかる材料、構成、寸法であっても、本発明の作用・効果を奏する限り使用することができる。

請求の範囲

1. ソース電極と、ドレイン電極と、ゲート電極と、活性層と、該ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタ構造であ
5 って、

前記絶縁性ポリマー膜に形成された前記トレンチが、導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造。

2. 前記ゲート配線は、 $2 \mu m \sim 15 \mu m$ の厚さとされ、かつ前記ゲ
10 ート配線の縦横比は、0.3 ~ 3である、請求項1に記載の薄膜トランジスタ構造。

3. 前記絶縁性ポリマー膜は、光学的特性を調節するための処理が施される、請求項1または2に記載の薄膜トランジスタ構造。

4. 前記絶縁性ポリマー膜は、複数の異なるポリマーから構成される、
15 請求項1 ~ 3のいずれか1項に記載の薄膜トランジスタ構造。

5. 前記絶縁性ポリマー膜は、シリコーン含有重合体を含む、請求項1 ~ 4のいずれか1項に記載の薄膜トランジスタ構造。

6. 前記ゲート配線は、無電解メッキにより堆積されたシード層を形成する導電層と、電界メッキにより堆積された導電層とから構成される、
20 請求項1 ~ 5のいずれか1項に記載の薄膜トランジスタ構造。

7. 前記薄膜トランジスタは、ボトムゲート型薄膜トランジスタまたはトップゲート型薄膜トランジスタである、請求項1 ~ 6のいずれか1項に記載の薄膜トランジスタ構造。

8. 前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含む、請求項1 ~ 7のいずれか1項に記載の薄膜トランジスタ構造。
25

9. ソース電極と、ドレイン電極と、ゲート電極と、活性層と、前記

ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタを形成する方法において、該方法は、

5 ソース電極と、ドレイン電極と、ゲート電極と、活性層とを形成する段階と、

前記基板上に絶縁性ポリマー膜を形成する段階と、

前記絶縁性ポリマー膜をパターニングしてトレンチを形成する段階と、

10 前記トレンチに導電層を堆積させ、前記絶縁性ポリマー膜と自己整合的に前記ゲート配線を形成する段階とを含む、薄膜トランジスタ構造の製造方法。

15 10. 前記ゲート配線を、無電解メッキによりシード層を形成する導電層を堆積させる段階と、電解メッキにより前記シード層とは異なる導電層を堆積させる段階とにより形成する、請求項 9 に記載の薄膜トランジスタ構造の製造方法。

11. 前記ゲート配線を形成する段階は、前記電解メッキの電流量および時間を制御して行う段階を含む、請求項 10 に記載の薄膜トランジスタ構造の製造方法。

12. 前記ゲート配線を形成する段階は、
20 前記シード層を形成する導電層とは異なる導電層を電解メッキにより形成する段階と、

前記電解メッキにより形成された導電層を前記絶縁性ポリマーのレベルとする段階とを含む、請求項 10 に記載の薄膜トランジスタ構造の製造方法。

25 13. 前記絶縁性ポリマー膜に対して、光学的特性を調節するための処理を施す段階を含む、請求項 9 ～ 12 のいずれか 1 項に記載の薄膜ト

ランジスタ構造の製造方法。

14. 前記絶縁性ポリマー膜は、シリコーン含有重合体を含む、請求項9～13のいずれか1項に記載の薄膜トランジスタ構造の製造方法。

15. 前記絶縁性ポリマー膜を、感光性樹脂または感光性樹脂組成物から形成する、請求項9～14のいずれか1項に記載の薄膜トランジスタ構造の製造方法。

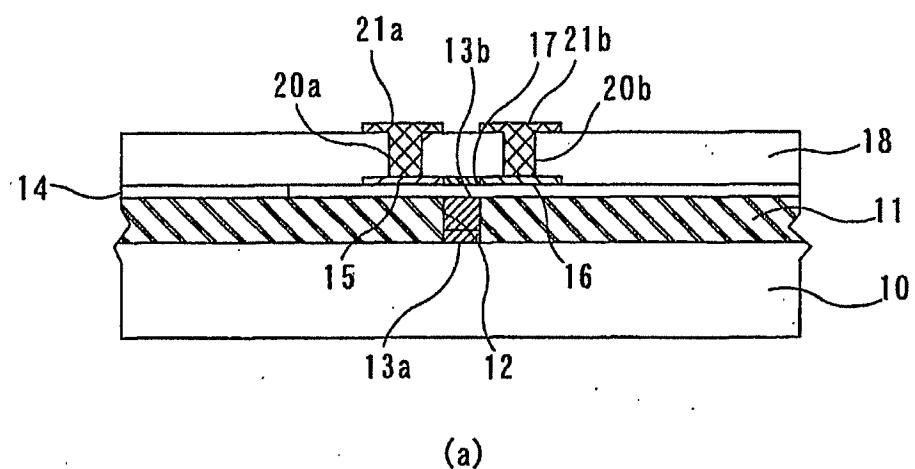
16. ソース電極と、ドレイン電極と、ゲート電極と、活性層と、前記ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成し、前記絶縁性ポリマー膜に形成された前記トレンチが導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造を含むディスプレイ・デバイス。

17. 前記ゲート配線は、 $2 \mu m \sim 15 \mu m$ の厚さとされ、かつ前記ゲート電極の縦横比は、0.3～3である、請求項16に記載のディスプレイ・デバイス。

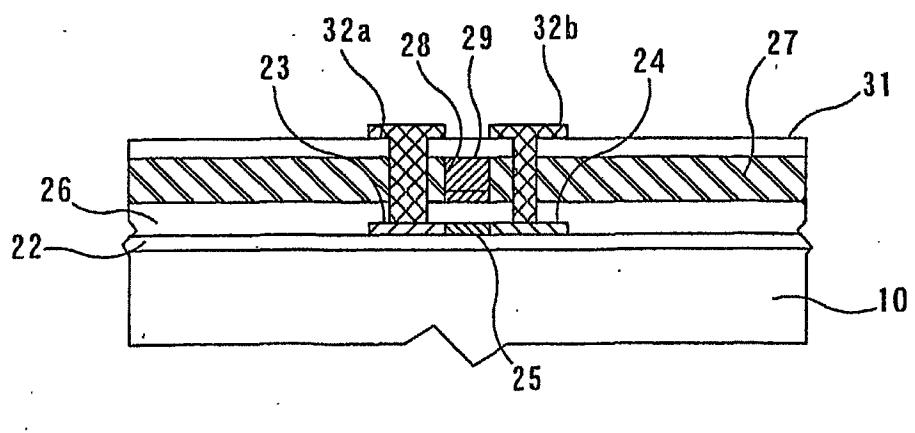
18. 前記絶縁性ポリマー膜は、光学的特性を調節するための処理が施される、請求項16または17に記載のディスプレイ・デバイス。

19. 前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含む、請求項16～18のいずれか1項に記載のディスプレイ・デバイス。

20. 前記絶縁性ポリマー膜は、シリコーン含有重合体を含む、請求項16～19のいずれか1項に記載のディスプレイ・デバイス。

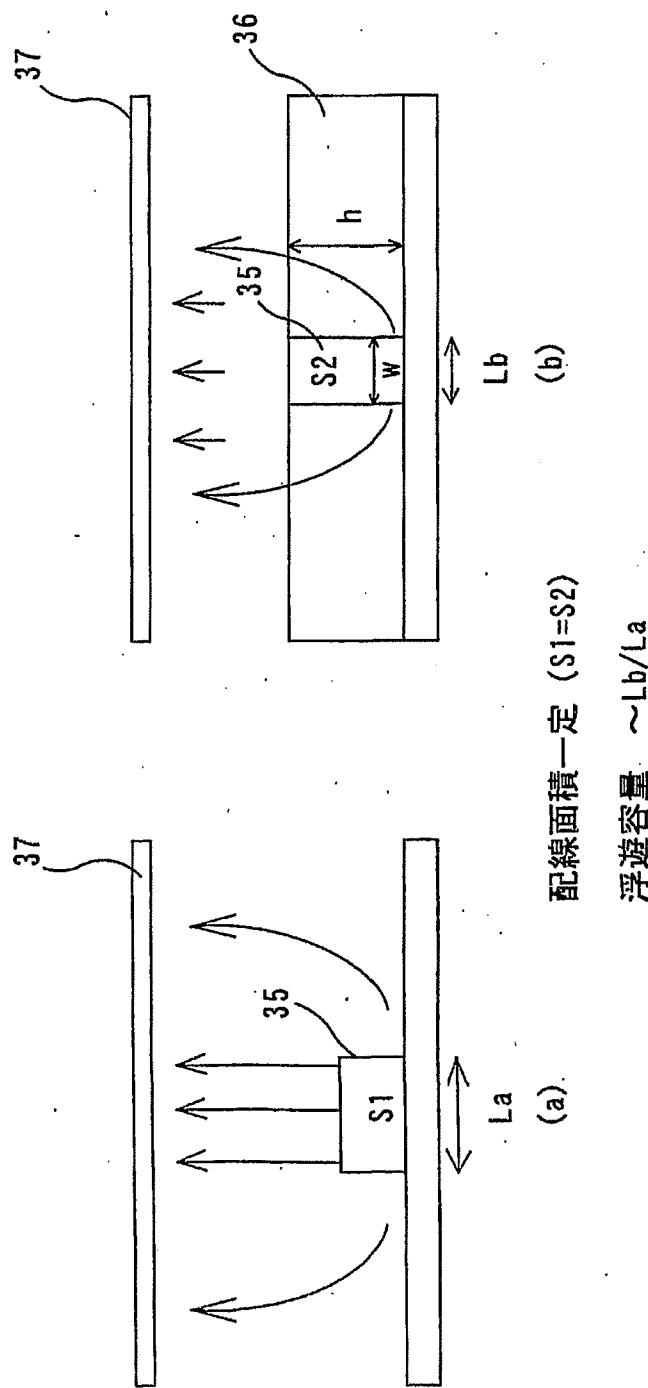


(a)

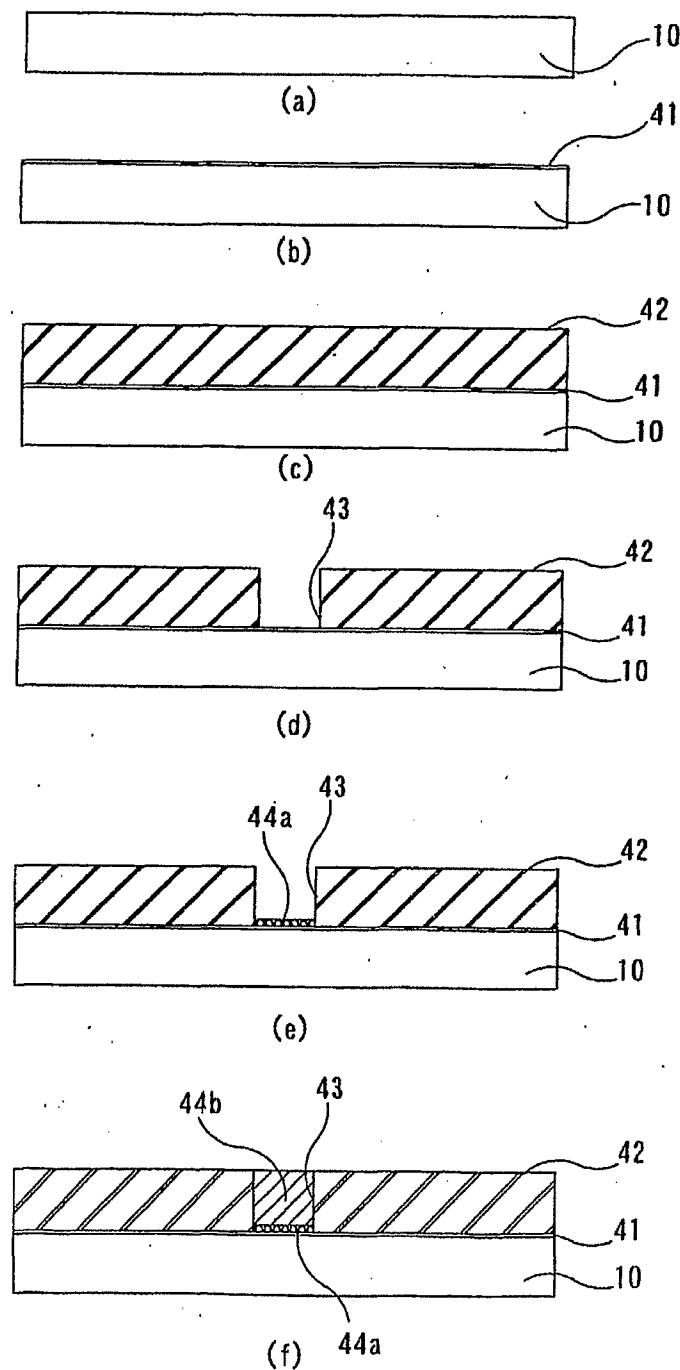


(b)

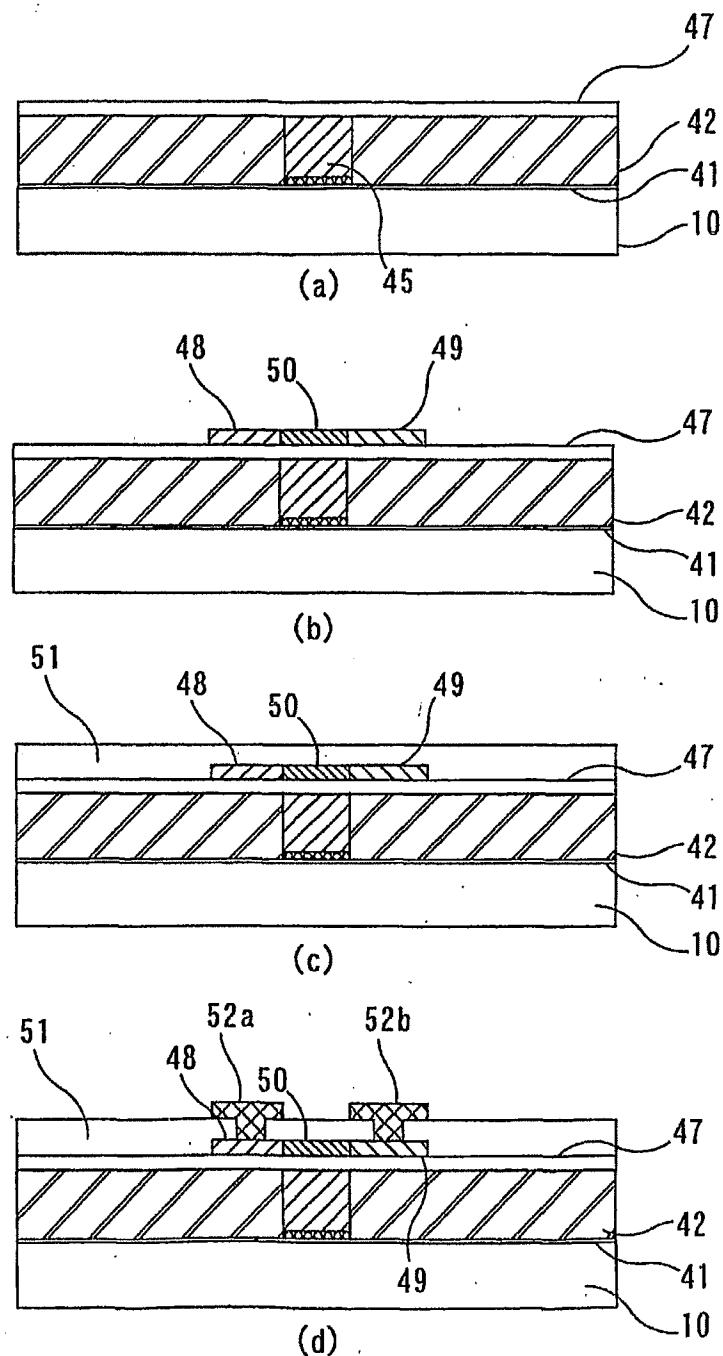
第1図



第2図

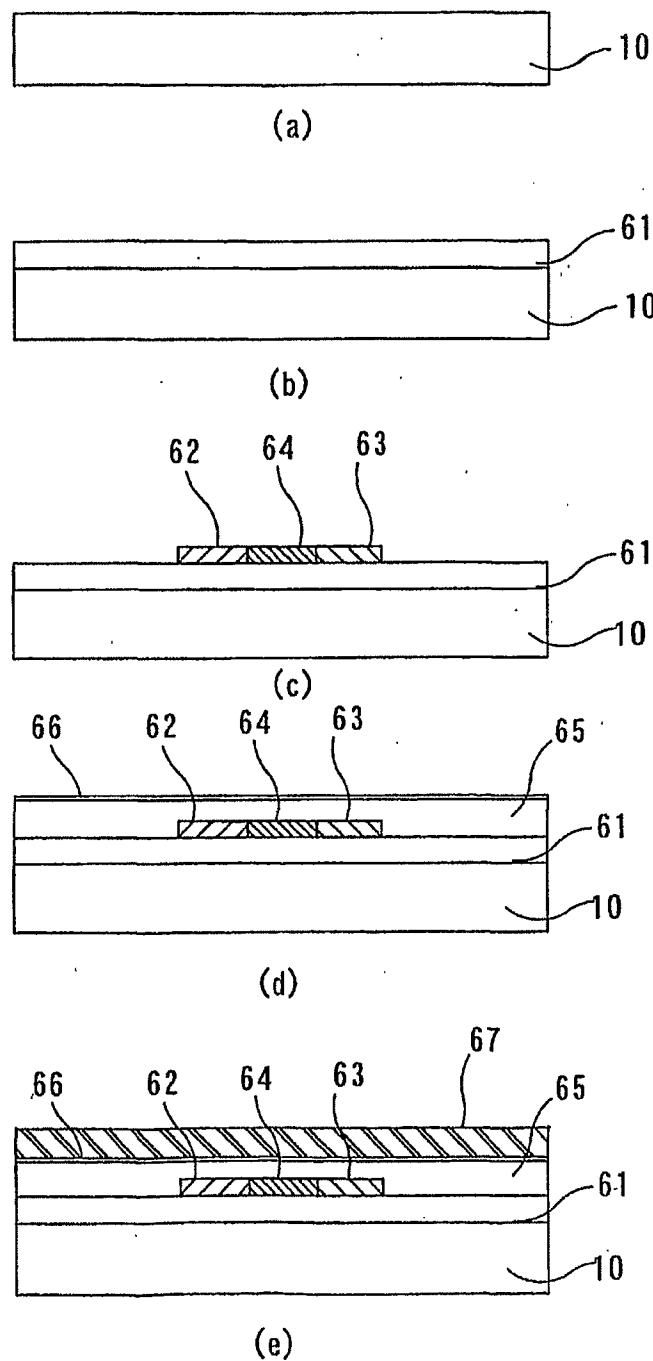


第3図

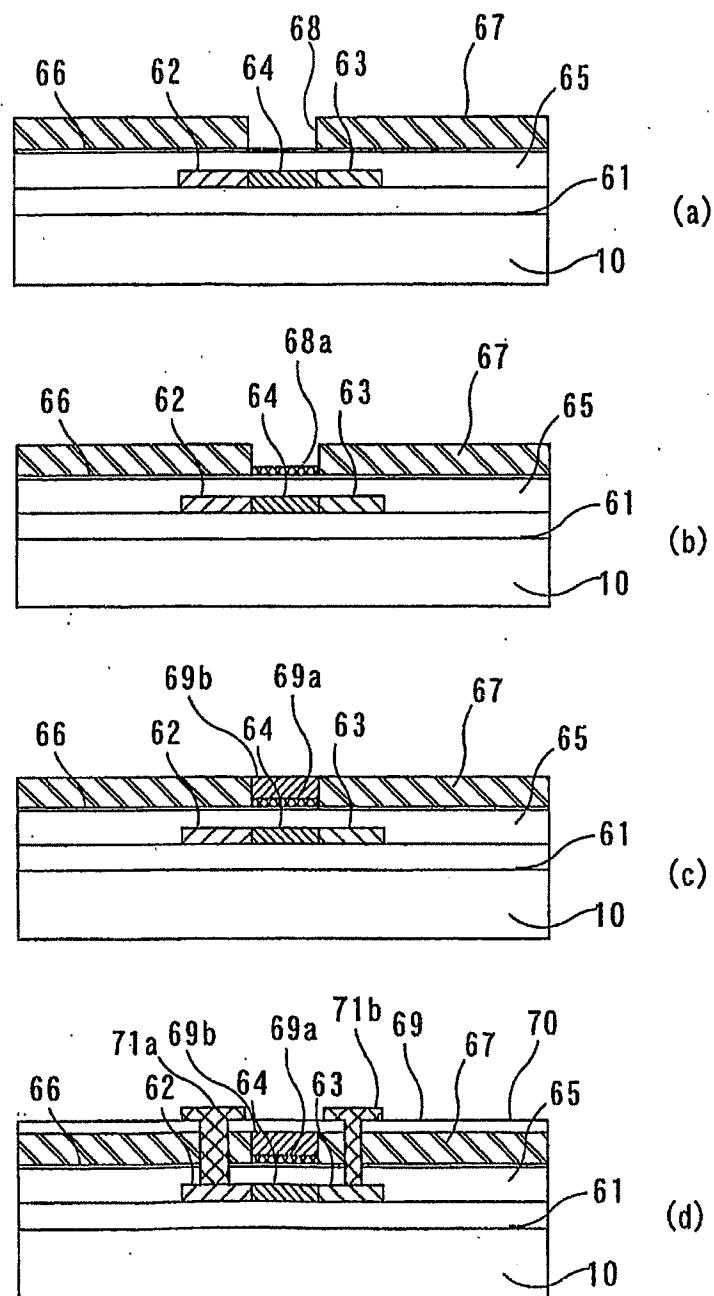


第4図

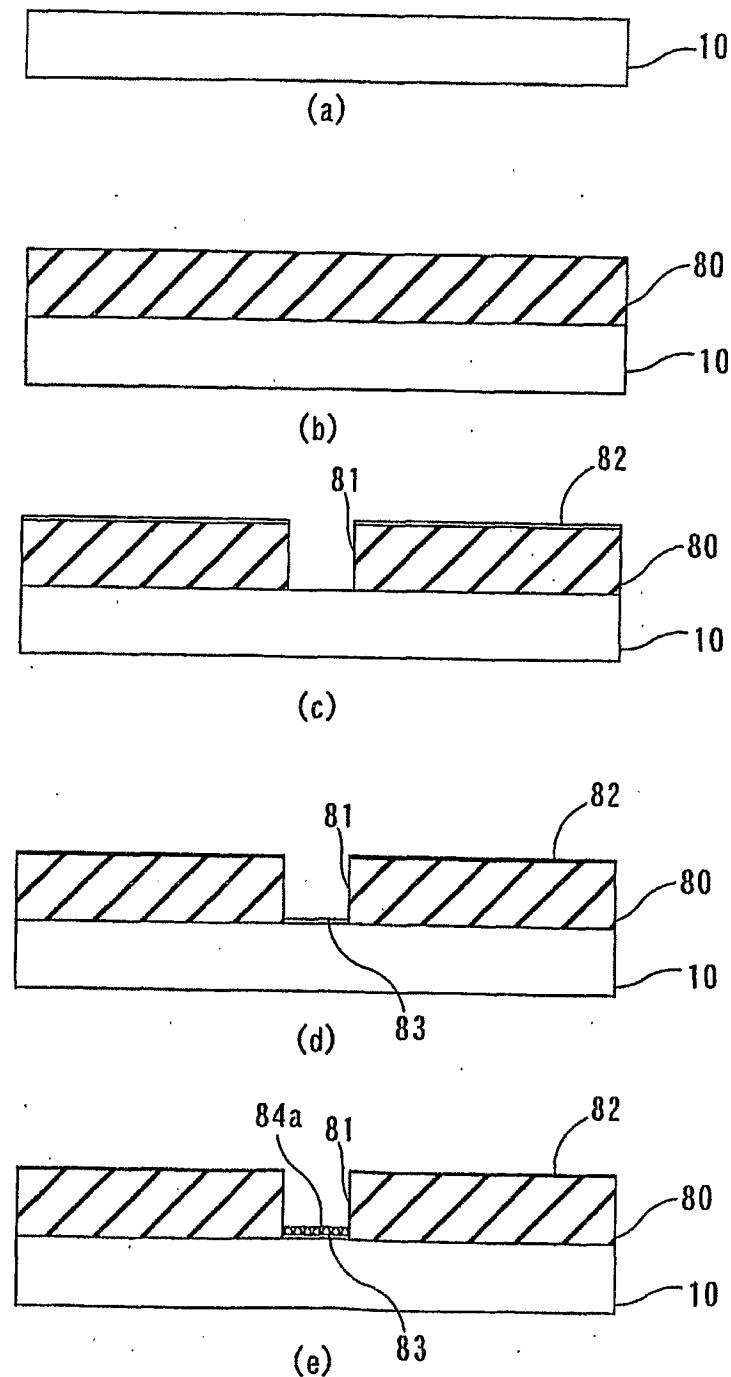
5/10



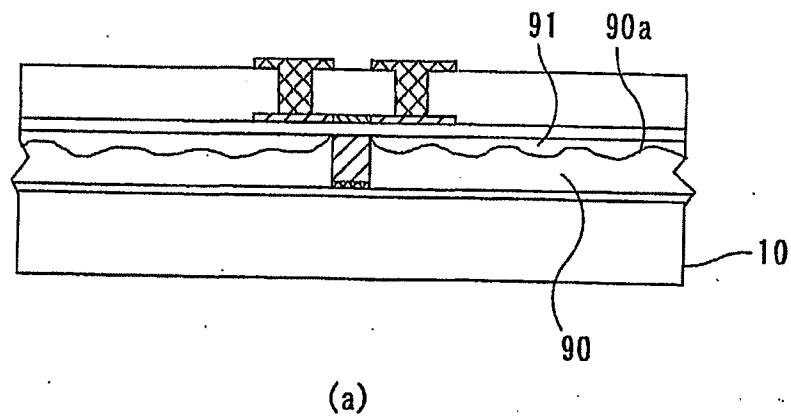
第5図



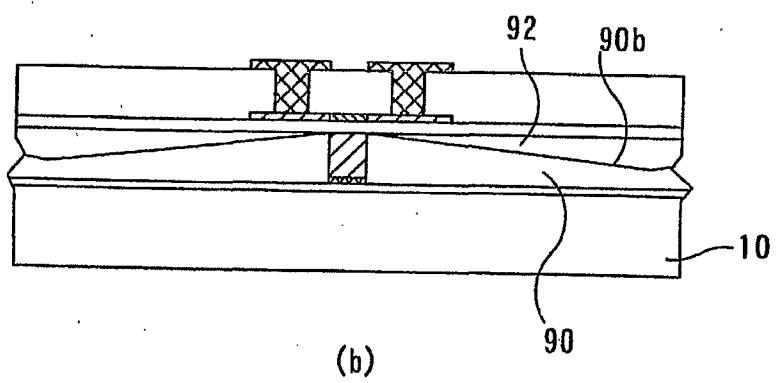
第6図



8/10

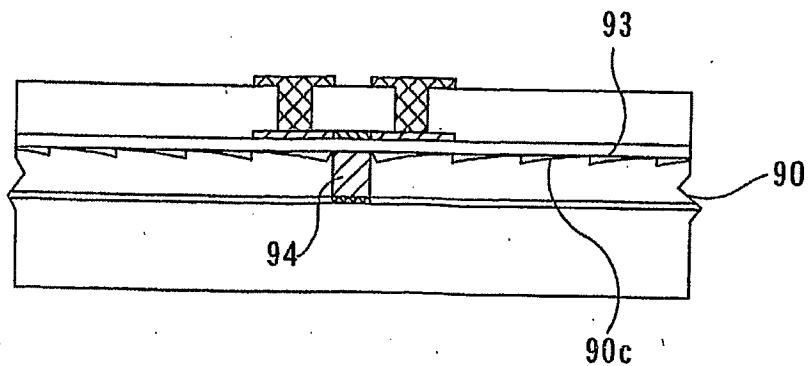


(a)

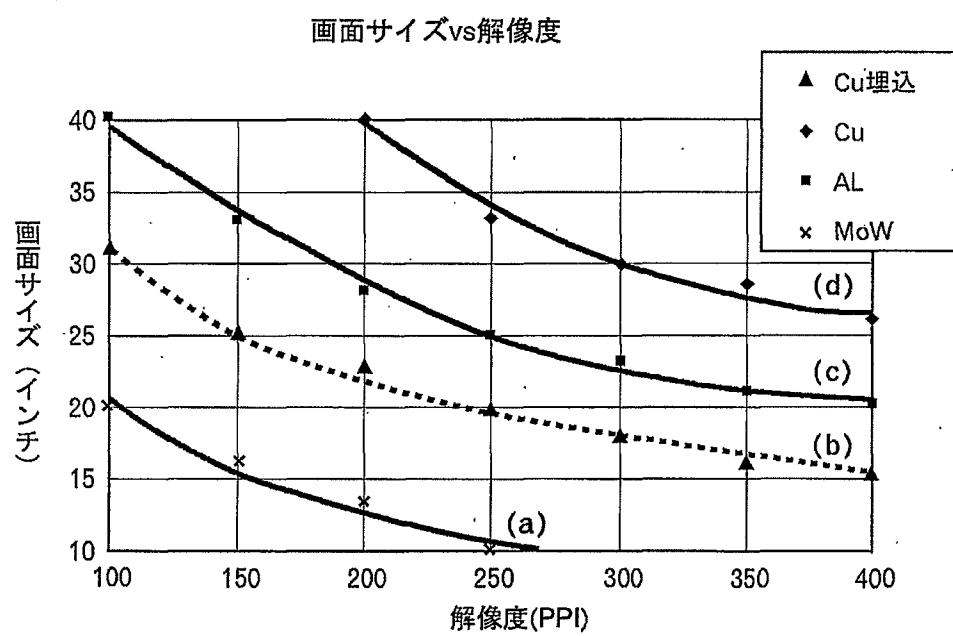


(b)

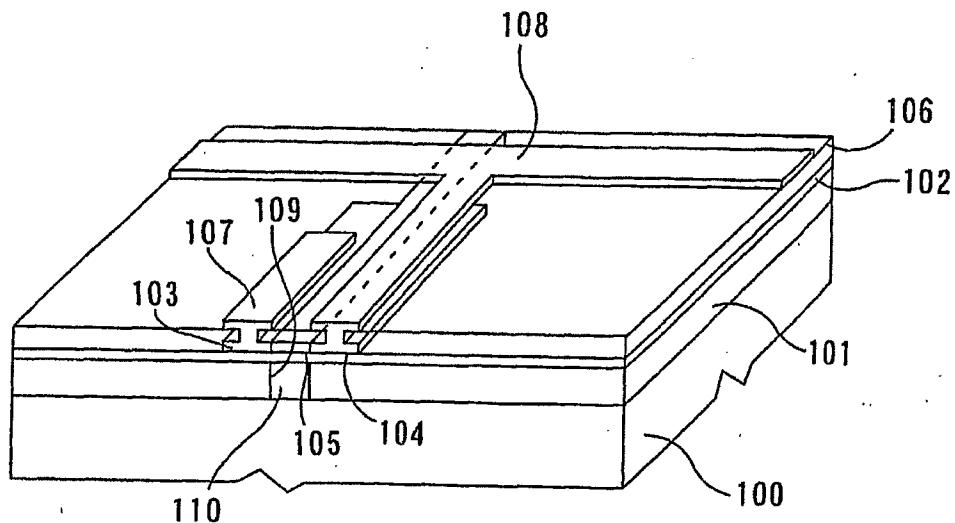
第8図



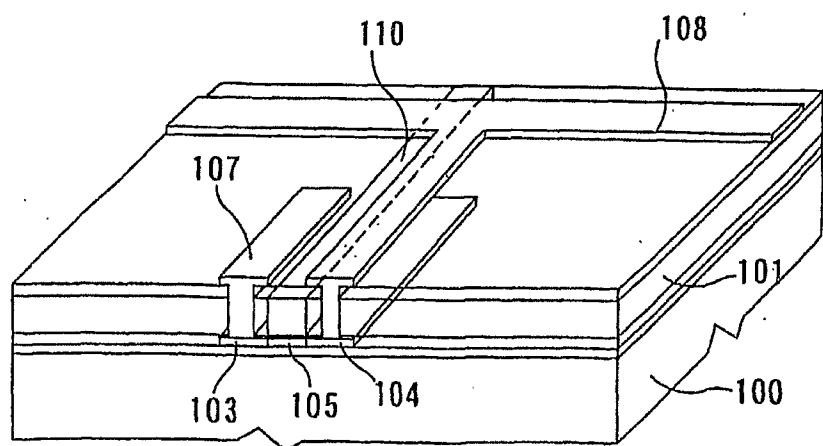
第9図



第10図



第11図



第12図

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11110

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786, H01L21/336, H01L21/3205, G02F1/1368, G09F9/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L21/336, H01L21/288, H01L21/3205, G02F1/1368, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 6-177126, A (Alps Electric Co., Ltd.), 24 June, 1994 (24.06.94), Full text (Family: none)	1,2,4-12, 14-17,19,20
Y	JP, 64-18758, U (Casio Computer Co., Ltd.), 30 January, 1989 (30.01.89), Claims (Family: none)	1,2,4-12, 14-17,19,20
Y	JP, 8-23102, A (Matsushita Electric Industrial Co., Ltd.), 23 January, 1996 (23.01.96), Claims (Family: none)	1,2,4-12, 14-17,19,20
Y	JP, 11-339672, A (Sony Corp.), 10 December, 1999 (10.12.99), Claims (Family: none)	6,10-12
A	JP, 6-51350, A (Alps Electric Co., Ltd.), 25 February, 1994 (25.02.94), Full text (Family: none)	1-20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 March, 2002 (12.03.02)	Date of mailing of the international search report 19 March, 2002 (19.03.02)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl' H01L29/786, H01L21/336, H01L21/3205,
G02F1/1368, G09F9/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl' H01L29/786, H01L21/336, H01L21/288,
H01L21/3205, G02F1/1368, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-177126 A (アルプス電気株式会社) 1994. 06. 24, 全文 (ファミリーなし)	1, 2, 4-12, 14- 17, 19, 20
Y	JP 64-18758 U (カシオ計算機株式会社) 1989. 01. 30, 特許請求の範囲 (ファミリーなし)	1, 2, 4-12, 14- 17, 19, 20
Y	JP 8-23102 A (松下電器産業株式会社) 1996. 01. 23, 特許請求の範囲 (ファミリーなし)	1, 2, 4-12, 14- 17, 19, 20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの

「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理論
の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12. 03. 02

国際調査報告の発送日

19.03.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4M 9056

印

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 11-339672 A (ソニー株式会社) 1999. 12. 10, 特許請求の範囲 (ファミリーなし)	6, 10-12
A	JP 6-51350 A (アルプス電気株式会社) 1994. 02. 25, 全文 (ファミリーなし)	1-20